

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-131009

(43)Date of publication of application : 19.05.1995

(51)Int.Cl.

H01L 29/78
H01L 21/3065
H01L 21/8244
H01L 27/11

(21)Application number : 05-275677

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.11.1993

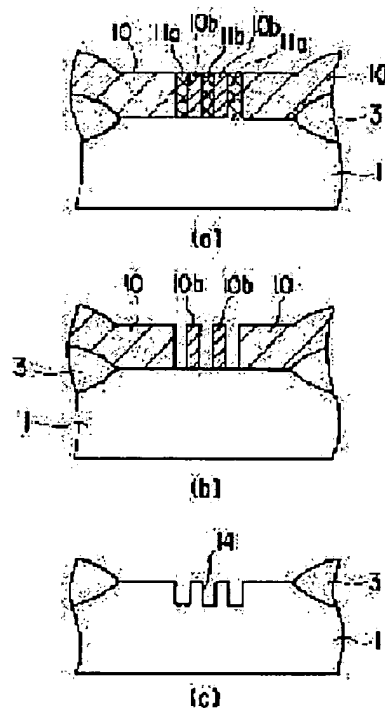
(72)Inventor : TAKAHASHI SHUYA
YAMASHITA TAKASHI
ICHIKAWA RYUJI

(54) SEMICONDUCTOR DEVICE AND PREPARATION THEREOF

(57)Abstract:

PURPOSE: To provide a semiconductor device of high degree of integration and a method for the preparation thereof, wherein stable operation characteristics are provided and further microminiaturization is achieved as far as possible.

CONSTITUTION: A first layer 10 composed of a first substance, for example, a Si nitride film, is formed on a semiconductor substrate 1. Slits 10a are formed in the first layer in specified positions. A thin second layer 11 composed of a second substance, for example, polycrystalline Si, is formed, and then removed to leave the second layer only on the side walls of the first layer as side walls 11a. A thin third layer composed of the first substance is formed on the entire surface, and then removed to form side walls 10b of the third substance only on the side walls of the second layer 11. All the layers 11a, 11b of the second substance are selectively removed to leave the layers 10, 10b of the first substance. Then the surface of the substrate is etched using the layers of the first substances as a mask to form fine trenches 14, and the layers of the first substance are removed. Thus the reduction of effective channel length and width is prevented and further the microminiaturization of a semiconductor device is achieved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
21/3065				
21/8244				
	7514-4M	H 0 1 L 29/ 78	3 0 1 V	
		21/ 302	J	
審査請求 未請求 請求項の数 6 O L (全 10 頁) 最終頁に続く				

(21) 出願番号 特願平5-275677

(22) 出願日 平成5年(1993)11月4日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 高橋 修也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72) 発明者 山下 孝

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72) 発明者 市川 竜司

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

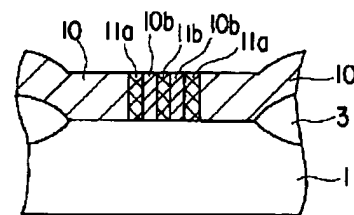
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置及びその製造方法

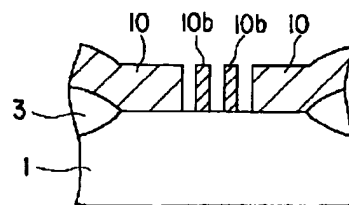
(57) 【要約】 (修正有)

【目的】 安定した動作特性を有しながら微細化を最大限に実現した高集積度の半導体装置とその製造方法を提供する。

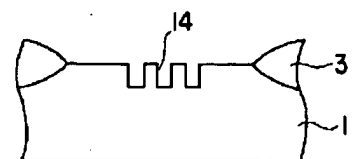
【構成】 半導体基板1上に第1の物質例えばSi窒化膜からなる第1の層10を形成し、所定の位置に第1層の開口部10aを形成する。次に第2の物質例えば多結晶Siからなる薄い第2の層11を形成し、第1層10の側壁のみに第2の層をサイドウォール11aとして残す。第1の物質からなる第3の層を全表面上に薄く形成し、第2層11の側壁のみに第3の層による別のサイドウォール10bを形成する。第1物質からなる各層10, 10bを残して第2物質の全層11a, 11bを選択除去し、第1物質の各層をマスクとして基板表面をエッチングして微細な溝14を形成し、第1物質からなる各層を除去する。かくして実効的チャネル長やチャネル幅の減少を抑えつつ、半導体装置の微細化を実現できる。



(a)



(b)



(c)

【特許請求の範囲】

【請求項1】半導体基板と、

前記半導体基板上の素子形成領域の表面に極めて狭い所定の間隔で形成された所定の深さの微細な複数のトレンチと、

を具備したことを特徴とする半導体装置。

【請求項2】キャリアを供給するソース領域と、

前記キャリアを受け取るドレイン領域と、

所定のピッチ及び深さを有する微細なトレンチがその表面に形成され、前記ソース領域と前記ドレイン領域との間で前記キャリアを流すチャネル領域と、

前記チャネル領域上に絶縁膜を介して形成され、前記キャリアの流れを制御するゲート電極と、

を具備したことを特徴とするMOSトランジスタ。

【請求項3】MOSトランジスタから成り、そのチャネル領域にチャネル長方向に垂直に所定ピッチ及び深さの微細なトレンチを有するトランスファトランジスタと、

MOSトランジスタから成り、そのチャネル領域にチャネル幅方向に垂直に所定ピッチ及び深さの微細なトレンチを有するドライバトランジスタと、

を具備したことを特徴とするSRAMセル。

【請求項4】半導体基板上に素子分離を行い素子形成領域を形成する工程と、

前記半導体基板上に第1の物質から成る第1の層を形成する工程と、

前記素子形成領域上の所定の位置にその周縁部が位置するように第1の層をパターンニングし開口を形成する工程と、

前記半導体基板上に、前記第1の物質とは異なるエッチングレートを有する第2の物質から成る第2の層を極めて薄く形成する工程と、

前記第1の層の側壁のみに第2の層が残るように第2の層をエッチングする工程と、

前記半導体基板上に第1の物質から成る第3の層を極めて薄く形成する工程と、

前記第2の層の側壁のみに第3の層が残るように第3の層をエッチングする工程と、

前記第1の物質から成る各層を残して第2の物質から成る各層全てを選択的に除去する工程と、

残された第1の物質から成る各層をマスクとして前記半導体基板の表面をエッチングして微細なトレンチを形成する工程と、

前記第1の物質から成る各層を除去する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項5】半導体基板上に素子分離を行い素子形成領域を形成する工程と、

前記半導体基板上に第1の物質から成る第1の層を形成する工程と、

前記素子形成領域上の所定の位置にその周縁部が位置するように第1の層をパターンニングし開口を形成する工程

と、

前記半導体基板上に、前記第1の物質とは異なるエッチングレートを有する第2の物質から成る第2の層を極めて薄く形成し前記第2の層をエッチングして前記第1の層の側壁のみに第2の層を残すことと、

前記半導体基板上に第1の物質から成る第3の層を極めて薄く形成し前記第3の層をエッチングして前記第2の層の側壁のみに第3の層を残すこととを必要回数繰り返す工程と、

前記第1の物質から成る各層を残して第2の物質から成る各層全てを選択的に除去する工程と、

残された第1の物質から成る各層をマスクとして前記半導体基板の表面をエッチングして微細なトレンチを形成する工程と、

前記第1の物質から成る各層を除去する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項6】半導体基板上に素子分離を行い素子形成領域を形成する工程と、

前記半導体基板上に第1の物質から成る第1の層を形成する工程と、

前記素子形成領域内のチャネル領域上の所定の位置にその周縁部が位置するように第1の層をパターンニングし開口を形成する工程と、

前記半導体基板上に、前記第1の物質とは異なるエッチングレートを有する第2の物質から成る第2の層を極めて薄く形成し前記第2の層をエッチングして前記第1の層の側壁のみに第2の層を残すことと、

前記半導体基板上に第1の物質から成る第3の層を極めて薄く形成し前記第3の層をエッチングして前記第2の層の側壁のみに第3の層を残すこととを必要回数繰り返す工程と、

前記第1の物質から成る各層を残して第2の物質から成る各層全てを選択的に除去する工程と、

残された第1の物質から成る各層をマスクとして前記半導体基板の前記チャネル領域の表面をエッチングして微細なトレンチを形成する工程と、

前記第1の物質から成る各層を除去する工程と、

前記半導体基板上に絶縁膜を形成し、その上に導電性材料を積層しパターンニングして前記チャネル領域上にゲート電極を形成する工程と、

前記ゲート電極及び素子分離用絶縁膜をマスクとして不純物を導入してソース領域及びドレイン領域を形成する工程と、

を具備したことを特徴とするMOSトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は半導体装置及びその製造方法に関し、特にその電流駆動能力を任意に設定可能にすることにより安定な動作特性を保持しつつ微細化を実現した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】図9及び図10は従来のMOSトランジスタの製造工程を説明する断面図であり、図9はチャネル長方向の断面図であり、図10はチャネル幅方向の断面図である。まず、図9(a)に示すように、半導体基板1の表面の素子を形成しようとする素子形成領域上にシリコン窒化膜2を形成する。図9(b)に示すように、シリコン窒化膜2をマスクとして半導体基板1の表面を熱酸化することによりフィールド酸化膜3を形成して素子分離を行なう。次に、図9(c)に示すように、シリコン窒化膜2を除去した後に素子形成領域の表面にゲート酸化膜4を形成する。更に、図9(d)に示すように、半導体基板1の表面に、例えば不純物を添加した多結晶シリコンから成る導電体層を堆積した後にこれをパターニングしてゲート電極5を形成する。続いて、ゲート電極5及びフィールド酸化膜3をマスクとしてイオン注入等によりソース・ドレイン領域6を形成し、ソース・ドレインコンタクトを形成するコンタクト領域7のゲート酸化膜4を除去する。これにより、MOSトランジスタが得られる。このMOSトランジスタのチャネル幅方向の断面は図10に示されているが、素子分離領域にはフィールド酸化膜3を形成する前に予め反転防止用の不純物が注入されており、フィールド酸化膜3を形成する際に拡散され、フィールド酸化膜3の下部に反転防止用拡散層8が形成される。

【0003】

【発明が解決しようとする課題】MOSトランジスタの微細化を進める場合、所定のデザインルールで決定される最小のフィールド間寸法及びゲート寸法で製造することが要求される。一方、MOSトランジスタの特性面から見ると、その用途に応じて可能な限り電流駆動能力を大きくあるいは小さくしたいという要求がある。しかしながら、従来のMOSトランジスタでは、ゲート寸法が決定するとチャネル長も決定してしまうので、チャネル長方向の微細化を進めると、ゲート電極の幅の縮小に伴いチャネル長も減少し、その結果電流駆動能力が増大し、MOSトランジスタの所望の特性が得られなくなる。また、チャネル幅方向の微細化を進めると、電流駆動能力が減少し、やはりMOSトランジスタの所望の特性が得られなくなる。これらの現象は、MOSトランジスタの所望の動作特性を維持する上で重大な障害となるため、MOSトランジスタの微細化に対しては制限となる。加えて、ソース及びドレインコンタクト部では、微細化のためにコンタクト面積が減少し、そのためコンタクト抵抗が著しく増大する。これらのことから、従来技術では安定した所望の動作特性を維持しつつ最大限に微細化されたMOSトランジスタを実現することが困難であるという問題があった。

【0004】本発明は、上記問題を解決すべくなされたものであり、極めて安定した動作特性を有しながら微細化を最大限に実現した集積度の高い半導体装置及びその

製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、半導体基板と、この半導体基板上の素子形成領域の表面に極めて狭い所定の間隔（数nm～数10nm）で形成された所定の深さ（数nm～数10nm）の微細な複数のトレンチとを具備している。

【0006】また、本発明は、キャリアを供給するソース領域と、前記キャリアを受け取るドレイン領域と、所定のピッチ及び深さを有する微細なトレンチがその表面に形成され、前記ソース領域と前記ドレイン領域との間で前記キャリアを流すチャネル領域と、前記チャネル領域上に絶縁膜を介して形成され、前記キャリアの流れを制御するゲート電極とを具備している。

【0007】更に、本発明は、MOSトランジスタから成り、そのチャネル領域にチャネル長方向に垂直に所定ピッチ及び深さの微細なトレンチを有するトランスファートランジスタと、MOSトランジスタから成り、そのチャネル領域にチャネル幅方向に垂直に所定ピッチ及び深さの微細なトレンチを有するドライバートランジスタとを具備している。

【0008】更に、本発明は、半導体基板上に素子分離を行い素子形成領域を形成する工程と、前記半導体基板上に第1の物質から成る第1の層を形成する工程と、前記素子形成領域上の所定の位置にその周縁部が位置するように第1の層をパターニングし開口を形成する工程と、前記半導体基板上に、前記第1の物質とは異なるエッチングレートを有する第2の物質から成る第2の層を極めて薄く形成する工程と、前記第1の層の側壁のみに第2の層が残るように第2の層をエッチングする工程と、前記半導体基板上に第1の物質から成る第3の層を極めて薄く形成する工程と、前記第2の層の側壁のみに第3の層が残るように第3の層をエッチングする工程と、前記第1の物質から成る各層を残して第2の物質から成る各層全てを選択的に除去する工程と、残された第1の物質から成る各層をマスクとして前記半導体基板の表面をエッチングして微細なトレンチを形成する工程と、前記第1の物質から成る各層を除去する工程とを具備している。

【0009】更に、本発明は、半導体基板上に素子分離を行い素子形成領域を形成する工程と、前記半導体基板上に第1の物質から成る第1の層を形成する工程と、前記素子形成領域上の所定の位置にその周縁部が位置するように第1の層をパターニングし開口を形成する工程と、前記半導体基板上に、前記第1の物質とは異なるエッチングレートを有する第2の物質から成る第2の層を極めて薄く形成し前記第2の層をエッチングして前記第1の層の側壁のみに第2の層を残すことと、前記半導体基板上に第1の物質から成る第3の層を極めて薄く形成し前記第3の層をエッチングして前記第2の層の側壁の

みに第3の層を残すこととを必要回数繰り返す工程と、前記第1の物質から成る各層を残して第2の物質から成る各層全てを選択的に除去する工程と、残された第1の物質から成る各層をマスクとして前記半導体基板の表面をエッチングして微細なトレンチを形成する工程と、前記第1の物質から成る各層を除去する工程とを具備している。

【0010】更に、本発明は、半導体基板上に素子分離を行い素子形成領域を形成する工程と、前記半導体基板上に第1の物質から成る第1の層を形成する工程と、前記素子形成領域内のチャネル領域上の所定の位置にその周縁部が位置するように第1の層をパターンニングし開口を形成する工程と、前記半導体基板上に、前記第1の物質とは異なるエッチングレートを有する第2の物質から成る第2の層を極めて薄く形成し前記第2の層をエッチングして前記第1の層の側壁のみに第2の層を残すことと、前記半導体基板上に第1の物質から成る第3の層を極めて薄く形成し前記第3の層をエッチングして前記第2の層の側壁のみに第3の層を残すこととを必要回数繰り返す工程と、前記第1の物質から成る各層を残して第2の物質から成る各層全てを選択的に除去する工程と、残された第1の物質から成る各層をマスクとして前記半導体基板の前記チャネル領域の表面をエッチングして微細なトレンチを形成する工程と、前記第1の物質から成る各層を除去する工程と、前記半導体基板上に絶縁膜を形成し、その上に導電性材料を積層しパターンニングして前記チャネル領域上にゲート電極を形成する工程と、前記ゲート電極をマスクとして不純物を導入してソース領域及びドレイン領域を形成する工程とを具備している。

【0011】

【作用】本発明では、本発明の発明者により提案された独自の方法を用いて、半導体基板の素子形成領域の表面に複数の微細なトレンチを従来不可能であった数nmから数10nmの極めて狭い間隔でストライプ状に形成することを可能にした。これにより、MOSトランジスタの微細化を図る際にMOSトランジスタの実効的なチャネル長、チャネル幅あるいはコンタクト面積を所望の値に設定でき、製造段階でその動作特性を調節しつつMOSトランジスタの微細化を最大限に実現することが可能となった。つまり、本発明では、素子分離を行なった半導体基板上の素子形成領域の表面に第1の物質から成る第1の層を堆積しその開口の端部が素子形成領域の表面の所望の位置に位置するように開口をパターンニングする。続いて、第1の物質とは異なるエッチングレートを有する第2の物質を極めて薄く第1の層の上に堆積し第2の層を形成した後に第2の層を異方性エッチングし、第1の層の側壁のみに第2の層をサイドウォールとして残す。同様の工程で、第2の層の側壁に極めて薄い第1の物質から成る第3の層をサイドウォールとして形成する。この工程を必要なトレンチの数に応じて繰り返す、

第2の物質から成る第2の層と第1の物質から成る第3の層とを交互に形成する。その後、第2の物質から成る第2の層だけをエッチングにより除去する。更に、残された第1の物質からなる第1及び第3の層をマスクとして半導体基板の表面をエッチングすることにより、半導体基板の表面に極めて狭い間隔でストライプ状の微細なトレンチが形成される。この方法により、従来のレジストを半導体基板の表面上に塗布し、これをパターンニングした後にエッチングする方法で形成し得るトレンチの限界である数100nmをはるかに上回る数nmから数10nm間隔でトレンチ加工が可能となった。このストライプ状の微細なトレンチが、MOSトランジスタの微細化の際にMOSトランジスタの実効的なチャネル長、チャネル幅あるいはコンタクト面積を所望の値に増加させるように作用する。この微細なトレンチの数、ピッチ及び深さはサイドウォールの数及び厚さ、エッチングレート、エッチング時間等を制御することにより製造段階で任意に設定できるため、所望の動作特性が得られるようにMOSトランジスタの電流駆動能力を調節しつつ所定のデザインルールの下で半導体装置の最大限の微細化を実現できる。

【0012】

【実施例】以下、本発明の実施例について図面を参照して詳細に説明する。

【0013】図1は本発明の半導体装置の第1の実施例の構成を示す平面図である。図1(a)において、フィールド酸化膜（ドットで示される領域）3により半導体基板1上に分離して形成され周縁部15aを有する素子形成領域（点線で囲まれている領域）15に、例えばシリコン窒化膜から成る第1の物質を堆積して第1の層（斜線で示されている領域）10が形成される。第1の層10の開口部10aは素子形成領域15上の所定の位置にパターンニングされ、その形状はストライプ状の微細なトレンチが素子形成領域15上の開口部10a内に形成された後にトレンチの必要な長さが確保できるように決定される。つまり、後述するように、開口部10aの周縁部から内側に向けてサイドウォールが順次形成されるので、図1(a)の素子形成領域15の上下方向に微細なトレンチの長さを確保するためには、開口部10aの上下が素子形成領域15から十分に離れるようにする必要がある。図1(b)に示すように第1の層10の開口部10aを形成した場合には、周縁部15aが全て第1の層10で覆われてしまい、素子形成領域15の上下方向に微細なトレンチの十分な長さを確保することができない。

【0014】図2及び図3は第1の実施例の製造方法を説明する図1(a)のI-I線に沿ってとられた断面図である。図2及び図3は本発明の半導体装置の第1の実施例の製造方法をMOSトランジスタの断面図により説明するものである。第1の実施例において、図2(a)

に示すように、素子形成領域15上の所定の位置に例えばシリコン窒化膜から成る第1の層10の開口部10aの端部が位置するように、第1の層10がRIEによりパターンニングされる。第1の層10の厚さは、後述するように予め決定されている。次に、図2(b)に示すように、例えば多結晶シリコンから成る第2の物質を極めて薄い膜厚で堆積し、第2の層11を形成する。この膜厚はストライプ状の微細なトレンチの幅を決定し、例えば数nmである。第2の物質のエッチングレートは第1の物質のエッチングレートに対して所定の選択比を与えるように選択できる。その後、図2(c)に示すように、第1の層10の側壁のみに第2の層11がサイドウォール11aとして残るようにRIEを行なう。同様に、図2(d)に示すように、例えばシリコン窒化膜から成る第1の物質の第3の層が極めて薄い膜厚で全表面上に形成され、RIEにより第2の層11のサイドウォール11aの側壁のみに第3の層により別のサイドウォール10bが形成される。この膜厚はストライプ状の微細なトレンチ間の間隔を決定し、やはり例えば数nmである。サイドウォール11a及び10bの厚さによりストライプ状の微細なトレンチのピッチが決定される。図3(a)に示すように、前述の工程を必要な回数繰り返すことにより、第1及び第2の物質から成るサイドウォール10b及び11a、11bが素子形成領域15上の開口部10a内に交互に位置しかつこれを埋めるように形成される。図3(b)に示すように、第2の物質から成るサイドウォール11a及び11bが第1の物質から成るサイドウォール10bより速くエッチングされる条件でエッチングが行なわれ、サイドウォール11a及び11bだけが選択的に除去される。続いて、残された第1の物質から成る第1の層10及びサイドウォール10bをマスクとして半導体基板1の表面をエッチングする。エッチングの深さはエッチングレート、エッチング時間等により制御される。図3(c)に示すように、第1の層10及びサイドウォール10bを除去することにより、半導体基板1の表面の素子形成領域15に微細なピッチのトレンチ14を形成することができる。この時、第2の物質と半導体基板1とが同程度のエッチングレートであり、かつ第1の物質から成る層10の残膜の厚さが十分であれば、第2の物質からなる層の除去と半導体基板1のエッチングとを同一工程として連続的に行なうことができる。このように、ストライプ状の微細なトレンチ14のピッチは極めて薄く堆積した第1の物質の第3の層と第2の物質の第2の層11との膜厚で決定されるので、この膜厚を調節することにより製造段階でMOSトランジスタの電流駆動能力を任意に設定することが可能となる。また、製造プロセスの限界まで微細化しても、実効チャネル長のバラツキによるショートチャネル効果も防止できる。

【0015】尚、従来は半導体基板上にトレンチを形成

する場合には、レジストパターンを用いていた。つまり、半導体基板上にレジストを塗布し、このレジストを所定のパターンに形成した後にRIEにより半導体基板を所定の深さまでエッチングしていた。あるいは、半導体基板上に薄いSiN膜を形成した後にその上にレジストを塗布し、このレジストを所定のパターンに形成した後にRIEによりSiN膜と共に半導体基板を所定の深さまでエッチングしていた。このような従来の方法では、レジストパターンの精度の限界から、トレンチの間隔は数100nmが限界であり、本発明のように高度に集積化された半導体装置が必要としているストライプ状の微細なトレンチ14を実現することはできない。

【0016】図4は本発明の半導体装置の第2の実施例の構成を示す平面図及び断面図である。この第2の実施例は前述したストライプ状の微細なトレンチ14を用いて実効的なチャネル長を増加させたMOSトランジスタを示している。図4(a)は平面図であり、図4(b)は図4(a)のIV-A-IV-A線に沿ってとられたチャネル長方向の断面図であり、図4(c)は図4

(a)のIV-B-IV-B線に沿ってとられたチャネル幅方向の断面図である。図4(a)(b)に示すように、ゲート電極18を形成する前に、ゲート電極18の下部の半導体基板の所定の位置に前述した工程により、所定の幅、深さ及び所定のピッチを有する所定数のストライプ状の微細なトレンチ14がチャネルの長さ方向と直交して形成される。このため、実際のゲート寸法に比べて実効的なチャネル長を十分長くすることができる。その結果、安定した動作特性を維持した状態でチャネル長方向の微細化が最大限に実現されたMOSトランジスタを得ることができる。ゲート電極18、ソース領域19及びドレイン領域20はいずれも通常の従来技術により形成されるので説明は省略する。

【0017】図5は本発明の半導体装置の第3の実施例の構成を示す平面図及び断面図である。この第3の実施例は前述したストライプ状の微細なトレンチ14を用いて実効的なチャネル幅を増加させたMOSトランジスタを示している。図5(a)は平面図であり、図5(b)は図5(a)のV-A-V-A線に沿ってとられたチャネル長方向の断面図であり、図5(c)は図5(a)のV-B-V-B線に沿ってとられたチャネル幅方向の断面図である。図5(a)(c)に示すように、ゲート電極18を形成する前に、ゲート電極18の下部の半導体基板の所定の位置に前述した工程により、所定の幅、深さ及び所定のピッチを有する所定数のストライプ状の微細なトレンチ14がチャネルの幅方向と直交して形成される。このため、実際のゲート寸法に比べて実効的なチャネル幅を十分長くすることができる。その結果、安定した動作特性を維持した状態でチャネル幅方向の微細化が最大限に実現されたMOSトランジスタを得ることができる。ゲート電極18、ソース領域19及びドレイン

領域20はいずれも通常の従来技術により形成される。

【0018】図6は本発明の半導体装置の第4の実施例の構成を示す平面図及び断面図である。この第4の実施例は前述した微細なトレンチ14を用いて実効的なチャネル長及びチャネル幅を増加させたMOSトランジスタを示している。図6(a)は平面図であり、図6(b)は図6(a)のV I-A-V I-A線に沿ってとられたチャネル長方向の断面図であり、図6(c)は図6

(a)のV I-B-V I-B線に沿ってとられたチャネル幅方向の断面図である。前述の第2及び第3の実施例では、素子形成領域15の表面にストライプ状に微細なトレンチ14を形成するために、図1(a)に示すように、第1の層10のパターニングされた開口部10aが素子形成領域15のストライプ方向の周縁部15aを覆うことのないように、かつ第1の層10のストライプ方向の周縁部10aが素子形成領域15から十分に離れるように形成されていた。しかし、この第4の実施例では、図1(b)に示すように、第1の層10の開口部10aが素子形成領域15の周縁部15aをすべて覆うように第1の層10がパターニングされる。従って、素子形成領域15上に形成される微細なトレンチ14はストライプ状ではなく、例えば、同心円、同心矩形等の年輪状の形状に形成される。このため、実際のゲート寸法に比べて実効的なチャネル長及びチャネル幅を十分長くすることができる。その結果、安定した動作特性を維持した状態でチャネル長方向及びチャネル幅方向の微細化が最大限に実現されたMOSトランジスタを得ることができる。ゲート電極18、ソース領域19及びドレイン領域20はいずれも通常の従来技術により形成される。

【0019】図7は本発明の半導体装置の第5の実施例の構成を示す平面図及び断面図である。図7(a)は平面図であり、図7(b)は図7(a)のV I I-V I I線に沿ってとられたチャネル長方向の断面図である。以上述べた実施例では、前述した微細なトレンチ14はゲート部18の下部の素子形成領域15にのみ形成されていたが、この第5の実施例ではチャネル長方向に垂直な方向に微細なトレンチ14がゲート電極18の下部領域とソース領域19及びドレイン領域20とに同時に形成されている。このため、この第5の実施例は実効的なチャネル長及びソース・ドレインの実効的なコンタクト面積を増加させることができる。この結果、安定した動作特性を維持した状態でチャネル長方向の微細化が最大限に実現され、かつコンタクト抵抗を増大させることなくソース・ドレイン領域の微細化が最大限に実現されたMOSトランジスタを得ることができる。また、図には示していないが、チャネル幅方向に垂直な方向に微細なトレンチ14をゲート電極18の下部領域とソース領域19及びドレイン領域20とに同時に形成することもできる。この場合にも、安定した動作特性を維持した状態でチャネル幅方向の微細化が最大限に実現され、かつコン

タクト抵抗を増大させることなくソース・ドレイン領域の微細化が最大限に実現されたMOSトランジスタを得ることができる。ゲート電極18、ソース領域19及びドレイン領域20はいずれも通常の従来技術により形成される図8は本発明の半導体装置の第6の実施例の構成を示す回路図である。この第6の実施例は微細化されたスタチック型ランダムアクセスメモリ(SRAM)のセルを示している。このSRAMは高抵抗R1、R2を用いた高抵抗負荷型SRAMである。SRAMでは、MOSトランジスタで構成されるトランスファートランジスタTTとドライバートランジスタTDとの電流駆動能力比 $\beta = I_D / I_T$ が3から4の値が適当とされている。従来は、使用するデザインルールによって予めトランスファートランジスタ及びドライバートランジスタのゲート長及びゲート幅が決定されてしまうため、各トランジスタのソース及びドレイン領域へのイオン注入量を制御することにより電流駆動能力を調整している。しかし、装置の微細化によってこの従来のやり方では電流駆動能力の調整に限界があり、トランスファートランジスタTTの電流駆動能力が上がり、ドライバートランジスタTDの電流駆動能力が下がるために、電流駆動能力比 β が低下する傾向があった。逆に、SRAMの動作特性を維持するためにはSRAM装置の微細化に制限があった。この第6の実施例では、前述した微細なトレンチを用いて、トランスファートランジスタTT1、TT2の実効チャネル長を長くして電流駆動能力を下げることができ、一方ドライバートランジスタTD1、TD2の実効チャネル幅を長くして電流駆動能力を上げることができる。これにより、電流駆動能力比 β を増大させることができ、またその値を任意に設定できる。その結果、極めて安定した動作特性を維持した上で所定のデザインルールの下で最大限に微細化したSRAMを得ることが可能となる。BLはデータD、 $\neg D$ を伝送するビット線であり、WLは所望のセルを選択するワード線である。

【0020】

【発明の効果】以上説明したように、本発明によれば、素子形成領域の表面に微細なピッチで微細なトレンチが形成可能となるため、半導体装置の構成材料を変更することなく、実効的なチャネル長及び/または実効的なチャネル幅の減少を抑えかつソース領域及びドレイン領域のコンタクト抵抗の増加をも抑えながら、半導体装置の微細化が実現可能となる。しかも、微細なトレンチの数、そのピッチ及び深さは製造過程で任意に調整できるので、従来技術では不可能であった微細な半導体装置の電流駆動能力の設定も任意に行なうことが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1の実施例の構成を示す平面図。

【図2】本発明の半導体装置の第1の実施例の製造方法を説明する図1(a)のI-I線に沿ってとられた断面

図。

【図 3】本発明の半導体装置の第 1 の実施例の製造方法を説明する図 1 (a) の I—I 線に沿ってとられた断面図。

【図 4】本発明の半導体装置の第 2 の実施例の構成を示す平面図及び断面図。

【図 5】本発明の半導体装置の第 3 の実施例の構成を示す平面図及び断面図。

【図 6】本発明の半導体装置の第 4 の実施例の構成を示す平面図及び断面図。

【図 7】本発明の半導体装置の第 5 の実施例の構成を示す平面図及び断面図。

【図 8】本発明の半導体装置の第 6 の実施例の構成を示す回路図。

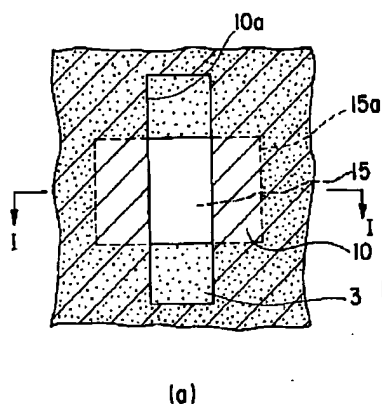
【図 9】従来の MOS トランジスタの製造工程を説明するチャネル長方向の断面図。

【図 10】従来の MOS トランジスタのチャネル幅方向の断面図。

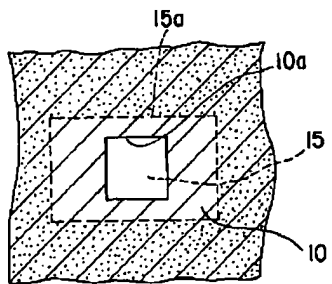
【符号の説明】

1・・・半導体基板、2・・・シリコン窒化膜、3・・・フィールド酸化膜、4・・・ゲート酸化膜、5、18・・・ゲート電極、6・・・ソース・ドレイン領域、7・・・ソース・ドレインコンタクト領域、8・・・反転防止用拡散層、10・・・第 1 の層、10a・・・開口部、10b、11a、11b・・・サイドウォール、11・・・第 2 の層、14・・・微細なトレンチ、15・・・素子形成領域、15a・・・周縁部、19・・・ソース領域、20・・・ドレイン領域。

【図 1】

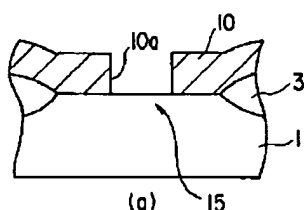


(a)

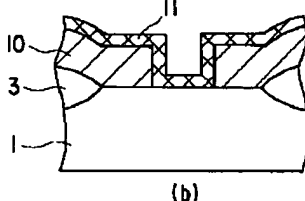


(b)

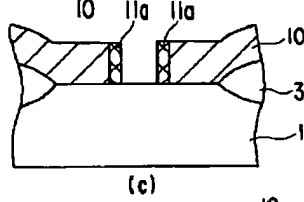
【図 2】



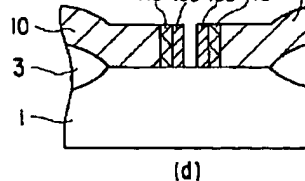
(a)



(b)

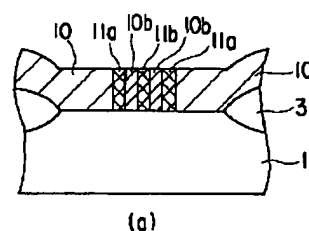


(c)

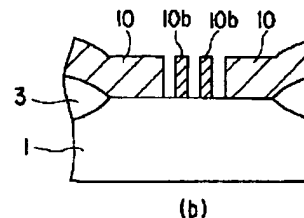


(d)

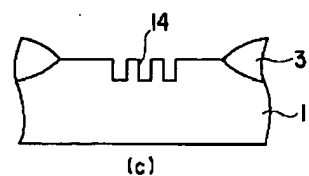
【図 3】



(a)

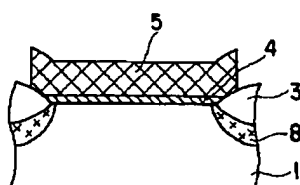


(b)

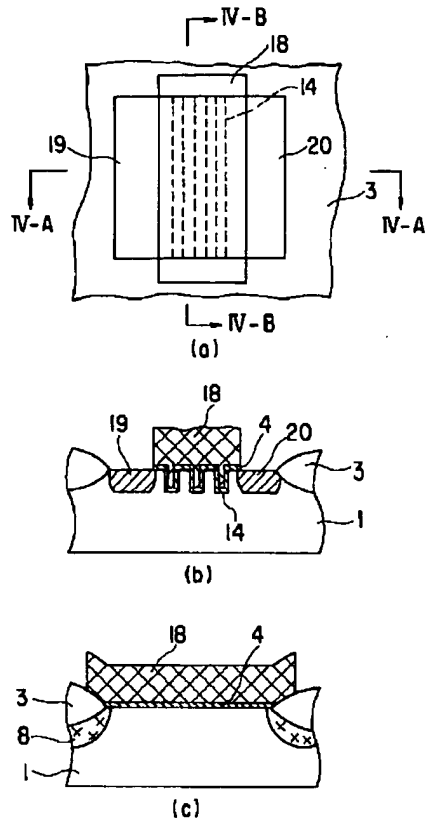


(c)

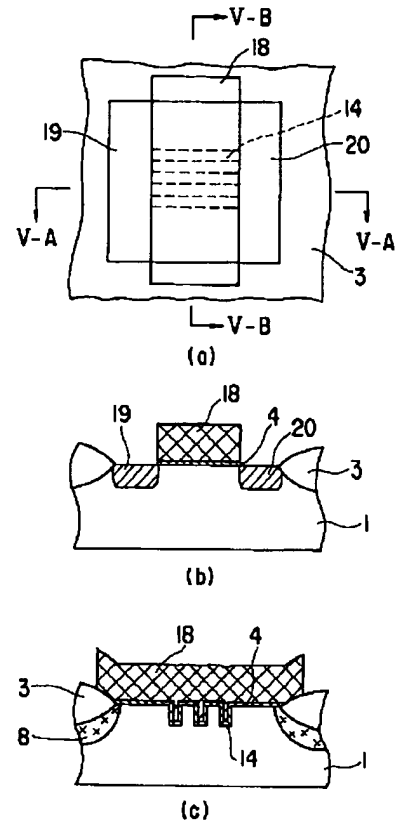
【図 10】



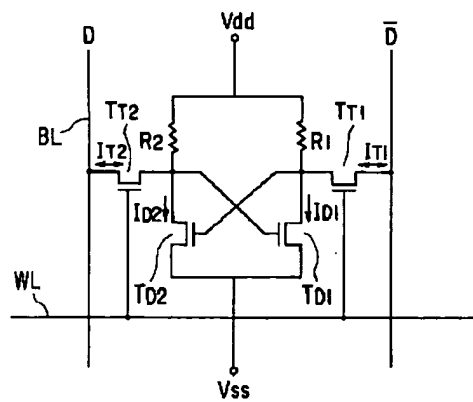
【図4】



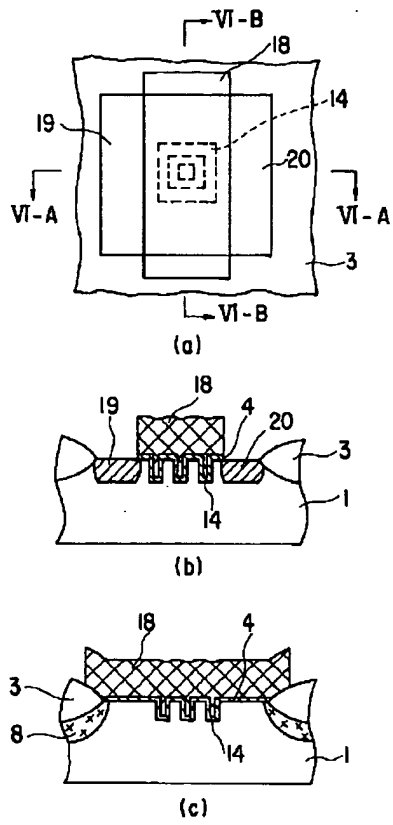
【図5】



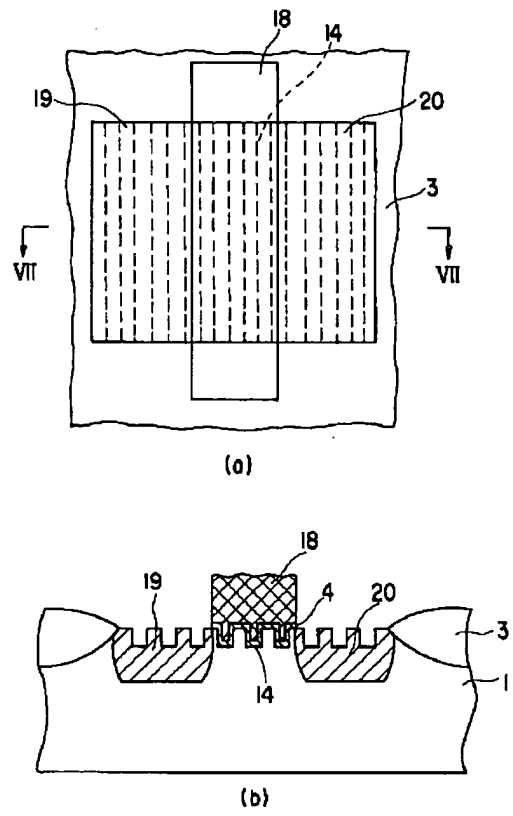
【図8】



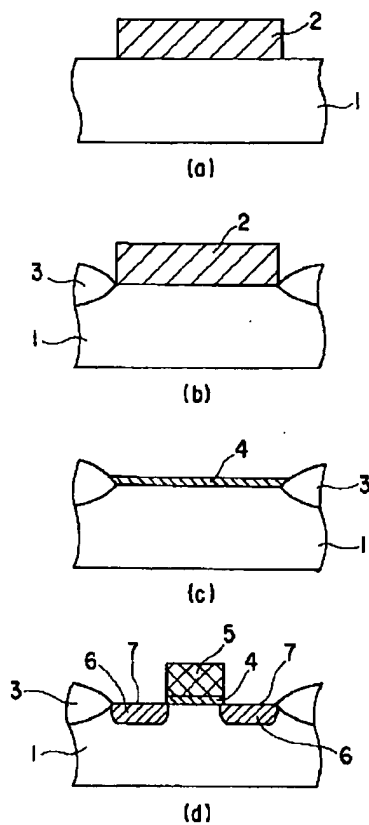
【図 6】



【図 7】



【図9】



フロントページの続き

(51) Int. Cl. ⁶
H 0 1 L 27/11

識別記号

序内整理番号

F I

技術表示箇所

7210-4M
7514-4M

H 0 1 L 27/10
29/78

3 8 1
3 0 1 H